

Family list

2 family member for:

JP4186737

Derived from 1 application.

**1 INSULATION GATE TYPE FIELD EFFECT SEMICONDUCTOR DEVICE
AND MANUFACTURE THEREOF**

Publication info: JP3029288B2 B2 - 2000-04-04

JP4186737 A - 1992-07-03

Data supplied from the **esp@cenet** database - Worldwide

INSULATION GATE TYPE FIELD EFFECT SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

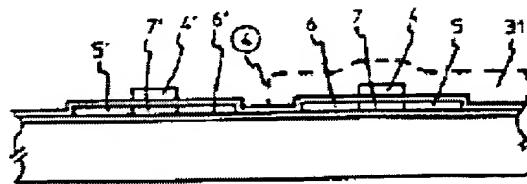
Patent number: JP4186737
Publication date: 1992-07-03
Inventor: YAMAZAKI SHUNPEI
Applicant: SEMICONDUCTOR ENERGY LAB
Classification:
- international: **G02F1/1365; H01L21/205; H01L21/336; H01L27/092; H01L27/12; H01L29/786; G02F1/13; H01L21/02; H01L27/085; H01L27/12; H01L29/66; (IPC1-7): H01L21/205; H01L21/336; H01L27/092; H01L27/12; H01L29/784**
- european:
Application number: JP19900316597 19901120
Priority number(s): JP19900316597 19901120

[Report a data error here](#)

Abstract of JP4186737

PURPOSE: To enable a liquid crystal potential to maintain an initial value level constantly for one frame for preventing drifting by using a silicon where oxygen, carbon, or nitrogen is added to a channel formation region of TFT and then eliminating light-sensitivity of that region while maintaining crystallizability.

CONSTITUTION: Channel formation regions 7, 7' are formed below gate electrodes 4, 4' as a semi-amorphous semiconductor. A silicon semiconductor is transformed, a total amount of O, C, and N is set to $1 \times 10^{20} \text{ cm}^{-3}$ or more and 20 atom.% or less for achieving non-light-sensitivity, crystallization is performed by heat treatment at 500-750 deg.C for achieving a carrier mobility of $5 \text{ cm}^2/\text{Vsec}$ or more for virtually eliminating crystal grain boundary and at the same time realizing a semiconductor material with crystallizability. In this material, non-light sensitivity is achieved, where current change in ON state is set to 10% or less and dark current in OFF state in the order of 10^{-9} A changes below increment below an order of 10^{-7} A , namely only two digits or less, under irradiation with visible light of 2000 candela. Thus a liquid crystal display device eliminating screening means can be produced.



Data supplied from the **esp@cenet** database - Worldwide

⑪ 公開特許公報 (A)

平4-186737

⑫ Int. Cl. 5

H 01 L 21/336
21/205
27/092
27/12
29/784

識別記号

序内整理番号

⑬ 公開 平成4年(1992)7月3日

A

7514-4M

9056-4M
7735-4MH 01 L 29/78
27/083 1 1 Y
3 2 1 B

審査請求 未請求 請求項の数 3 (全9頁)

⑭ 発明の名称 絶縁ゲイト型電界効果半導体装置およびその作製方法

⑮ 特 願 平2-316597

⑯ 出 願 平2(1990)11月20日

⑰ 発 明 者 山 崎 鼎 平 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

⑱ 出 願 人 株式会社半導体エネルギー 研究所 神奈川県厚木市長谷398番地

明細書

1. 発明の名称

絶縁ゲイト型電界効果半導体装置およびその作製方法

2. 特許請求の範囲

1. 基板上に設けられた薄膜型構造の絶縁ゲイト型電界効果半導体装置であって、チャネル形成領域を構成する半導体は絶縁物に挟まれ、酸素、炭素または窒素が $1 \times 10^{20} \text{ cm}^{-3}$ 以上、20原子%以下を含有するシリコン半導体を主成分とするとともに、結晶性を有することを特徴とする絶縁ゲイト型電界効果半導体装置。

2. 特許請求の範囲第1項において、絶縁膜はゲイト絶縁膜を構成した膜上にゲート電極を有し、かつチャネル形成領域により互いに離間してN型またはP型の一導電型を有する一対の領域を有せしめてNチャネル型、Pチャネル型または相補型の薄膜絶縁ゲイト型電界効果半導体装置を設けたことを特徴とする絶縁ゲイト型電界効果半導体装置。

3. 絶縁表面を有する基板上に酸素、炭素または窒素が $1 \times 10^{20} \text{ cm}^{-3}$ 以上、20原子%以下の量添加されたアモルファス構造を有する水素が添加されたシリコン半導体を主成分とする被膜をスパッタ法、プラズマ気相反応方法または気相反応方法を用いて形成する工程と、前記被膜を $500 \sim 750^\circ\text{C}$ の範囲の温度で熱処理をすることにより結晶性を有する構造に変成せしめる工程とを有することを特徴とする絶縁ゲイト型電界効果半導体作製方法。

3. 発明の詳細な説明

「発明の利用分野」

本発明は、アクティブ型液晶表示装置またはイメージセンサに用いる薄膜構造を有する絶縁ゲイト型電界効果トランジスタ（以下TFTという）およびその作製方法に関するものである。

「従来の技術」

従来、TFTを用いたアクティブ型の液晶表示装置が知られている。この場合、TFTにはアモルファスまたは結晶粒界を有する多結晶型の半導体

を用い、1つの画素にPまたはN型のいずれか一方の導電型のみのTFTを用いる。即ち、一般にはNチャネル型TFT(N TFTという)を画素に直列に連結している。

しかしアモルファス構造の半導体は、キャリア移動度が小さく、特にホールのキャリア移動度が $0.1\text{cm}^2/\text{Vsec}$ 以下と小さい。また多結晶構造の半導体は、結晶粒界に偏析した酸素等の不純物および不对結合によりドレイン耐圧を充分大きくとれない、Pチャネル型のTFTができにくい等の欠点があった。さらにこれらは光感度(フォトセンシティビティ PSという)を有し、光照射により $V_g - I_o$ (ゲート電圧ードレイン電流)特性等が大きく変化してしまう欠点を有している。

そのため、チャネル形成領域に光照射が行われないように遮光層を作ることが重要な工程であった。

第2図において、液晶(12)を有し、それに直列に連結してNT TFT(11)を設け、これをマトリックス配列せしめたものである。一般には 640×480 ま

たは 1260×960 と多くするが、この図面ではそれと同意味で単純に 2×2 のマトリックス配列をさせた。このそれぞれの画素に対し、周辺回路(16)、(17)より電圧を加え、所定の画素を選択的にオンとし、他の画素をオフとした。するとこのTFTのオン、オフ特性が一般には良好な場合、コントラスト比の値の大きい液晶表示装置を作ることができる。しかしながら、実際にかかる液晶表示装置を製造してみると、TFTの出力即ち液晶にとっての入力(液晶電位という)の電圧 $V_{Lc}(10)$ は、しばしば"1"(High)とするべき時に"1"(High)にならず、また、逆に"0"(Low)となるべき時に"0"(Low)にならない場合がある。液晶(12)はその動作において本来絶縁性であり、また、TFTがオフの時に液晶電位(V_{Lc})は浮いた状態になる。そしてこの液晶(12)は等価回路的にはキャパシタであるため、そこに蓄積された電荷により V_{Lc} が決められる。この電荷は従来のTFTは光感光性であるため、遮光が充分でない時、TFTのチャネルを通じて電流がリーク(15)してしまい、結果として V_{Lc} のレ

ベルが変動してしまう。さらに液晶が R_{Lc} で比較的小さい抵抗となりリーク(14)が生じた場合には、 V_{Lc} は中途半端な状態になってしまう。このため1つのパネル中に20万～500万個の画素を有する液晶表示装置においては、高い歩留まりを成就することができない。

「発明の目的」

本発明は、アクティブ型の液晶表示装置において、液晶電位を1フレームの間はたえず初期値と同じ値として所定のレベルを保ち続け、そのレベルがドリフトしないようにTFTを改良したものである。

「発明の構成」

本発明は、TFTのチャネル形成領域の半導体材料を光に対し非感光性の材料とし、特にそのためTFTのチャネル形成領域に酸素、炭素または窒素を添加したシリコンを用い、その領域を結晶性を有しながらも光感光性をなくしたものである。特に材料として、 $\text{SiO}_{1-x}(0 < x < 1)$ 、 $\text{SiN}_{1-x}(0 < x < 1)$ で示されるように、いわゆるシリコン半導体を变成

したものである。それらO,C,Nの総量を $1 \times 10^{10}\text{cm}^{-3} \sim 20$ 原子%、好ましくは $3 \times 10^{10}\text{cm}^{-3} \sim 5$ 原子%としたことにより非感光性とせしめ、しかしながらかつ $500 \sim 750^\circ\text{C}$ の熱処理により結晶化せしめて、キャリア移動度として $5\text{cm}^2/\text{Vsec}$ 以上とするため結晶粒界を実質的になくし、かつ結晶性を有する半導体材料としたものである。

この材料は非感光性、即ちオン状態での電流変化を10%以下とし、かつオフ状態(サブスレッシュホールド状態)での暗電流の値が 10^{-1}A のオーダーのものが 10^{-1}A のオーダー以下の増力、即ち2桁以下しか変化しないことを2000カンデラの可視光照射下で成就させたものである。

本発明を液晶表示装置に用いる場合、マトリックス構成したそれぞれのピクセル(透明導電膜とTFTとの組合したもの)の一方の透明導電膜(画素)の電極に相補型のTFTの出力端子を連結せしめた。即ちマトリックス配列したすべての画素にPチャネル型のTFT(以下PT TFTという)とNT TFTとを相補型(以下C/T TFTという)として連結して!

つのピクセルとしたものである。

その代表例を第3図に回路として示す。また実際のパターンレイアウト(配置図)の例を第4図に示す。

即ち第3図の 2×2 のマトリックスの例において、PTFTとNTFTとのゲートを互いに連結し、さらにY軸方向の線 $V_{ss}(22)$ 、または $V_{ss}(23)$ に連結した。またC/TFTの共通出力を液晶(12)に連結している。PTFTの入力(V_{ss} 側)をX軸方向の線 $V_{ss}(18)$ 、 $V_{ss}(18')$ に連結し、NTFTの入力(V_{ss} 側)を $V_{ss}(19)$ に連結させている。すると $V_{ss}(18)$ 、 $V_{ss}(22)$ が"1"の時、液晶電位(10)は"0"となり、また $V_{ss}(18)$ が"1"、 $V_{ss}(22)$ が"0"の時液晶電位(10)は"1"となる。即ち、 V_{ss} と V_{sc} とは「逆相」となる。

そして液晶電位(10)は $V_{ss}(18)$ 、または接地または $V_{ss}(19)$ のいずれかに固定させるため、フローティングとなることがない。

第3図においては、NTFTとPTFTとを逆に配設すると、 V_{ss} と V_{sc} とは「同相」とすることができ

る。

以下に実施例に基づき、本発明を示す。

「実施例1」

この実施例では第1図を用いて本発明を示す。

ガラス基板にC/TFTを作らんとした時の製造工程を第1図に基づき示す。

第1図において、ANガラス、バイレックスガラス等の約600℃の熱処理に耐え得るガラス(1)上にマグネットロンRF(高周波)スパッタ法を用いてプロッキング層(38)としての酸化珪素膜を1000～3000Åの厚さに作製した。

プロセス条件は酸素100%雰囲気、成膜温度150℃、出力400～800W、圧力0.5Paとした。ターゲットに石英または単結晶シリコンを用いた成膜速度は30Å/分であった。

この上に酸素、炭素または窒素の添加されたシリコン膜をLPCVD(減圧気相)法、スパッタ法またはプラズマCVD法により形成した。

この半導体膜は、主成分はシリコンであって、 $SiO_{1-x}(0 < x < 1)$, $SiC_{1-x}(0 < x < 1)$ または $SiN_{1-x}(0 < x <$

1)で示され、実際はO(酸素)、C(炭素)、N(窒素)が互いに混在したものである。ここでは特に混入させやすい酸素を意図的に若干量添加した。そして酸素の量を $1 \times 10^{19} cm^{-3}$ ～20原子%好ましくは $3 \times 10^{19} cm^{-3}$ ～5原子%とした。

減圧気相法で形成する場合、結晶化温度よりも100～200℃低い450～550℃、例えば530℃でジシラン(Si_2H_6)またはトリシラン(Si_3H_8)に酸化物気体例えば亜酸化窒素(N_2O)を $N_2O/(Si_2H_6)$ または $Si_3H_8 = 0.001 \sim 0.1$ 体積%の混合比でCVD装置に供給して成膜した。反応炉内圧力は30～300Paとした。成膜速度は30～100Å/分であった。NTFTとPTFTとのスレッシュホールド電圧(V_{th})を概略同一に制御するため、ホウ素をジボランを用いて $1 \times 10^{14} \sim 5 \times 10^{15} cm^{-3}$ の濃度として成膜中に添加してもよい。

スパッタ法で行う場合、スパッタ前の背圧を $1 \times 10^{-3} Pa$ 以下とし、単結晶シリコンをターゲットとし、アルゴンに水素を50～80体積%に混入した雰囲気で行った。例えばアルゴン20体積%、 N_2O

0.001%～0.1体積%、残り水素約80体積%とした。成膜温度は150℃、周波数は13.56MHz、スパッタ出力400～800Wとした。圧力は0.5Paであった。

プラズマCVD法により珪素膜を作製する場合、温度は例えば300℃とし、モノシラン(SiH_4)またはジシラン(Si_2H_6)をこれらに $N_2O/SiH_4 = 0.001 \sim 0.1$ 体積%で酸化物、塗化物気体を混入したものを反応性気体として用いた。これらをPCVD装置内に導入し、13.56MHzの高周波電力を加えて成膜した。

これらの方法によって形成された被膜は、酸素が $1 \times 10^{19} cm^{-3}$ ～20原子%、好ましくは $3 \times 10^{19} cm^{-3}$ ～5原子%の濃度であることが好ましい。

即ち非感光性を有せしめるにはC,O,Nを添加すればよいが、多すぎるとその後の熱処理でも結晶化しにくくなり、ひいてはキャリア移動度が $5 cm^2/Vsec$ 以上、好ましくは $10 \sim 100 cm^2/Vsec$ を得ることができないからである。

かくして、アモルファス状態の珪素膜を1000～10000Å(1μm)、例えば3000Åの厚さに作製の後、

500~750°Cの結晶成長を起こさない程度の中温の温度にて12~70時間非酸化物雰囲気にて加熱処理した。例えば窒素または水素雰囲気にて600°Cの温度で保持した。

この半導体膜の下側の基板表面は、アモルファス構造の酸化珪素膜が形成されているため、この熱処理で特定の核が存在せず、全体が均一に加熱アニールされる。即ち、成膜時はアモルファス構造を有し、また水素は単に混入しているのみである。

このアニールにより、半導体膜はアモルファス構造から秩序性の高い状態に移り、その一部は結晶状態を呈する。特にシリコンの成膜時に比較的秩序性の高い領域は特に結晶化をして結晶状態となろうとする。しかし、これらの領域間に存在する珪素により互いの結合がなされるため、珪素同志は互いにひっぱりあう。結晶としてもレーザーラマン分光により測定すると、単結晶の珪素(111)結晶方位のピーク 522 cm^{-1} より低周波側にシフトした格子歪を有した(111)結晶ピークが観察され

る。その見掛け上の粒径は、半値巾から計算すると、50~500Åとマイクロクリスタルのようになっているが、実際はこの結晶性の高い領域は多數あってクラスタ構造を有し、その各クラスタ間は互いに珪素同志で結合(アンカリング)がされたセミアモルファス構造の被膜を形成させることができた。

例えばSIMS(二次イオン質量分析)法により深さ方向の分布測定を行った時、添加物(不純物)として最低領域(表面または表面より離れた位置(内部))において酸素が $3.4 \times 10^{20}\text{ cm}^{-3}$ 、窒素 $4 \times 10^{17}\text{ cm}^{-3}$ を得た。また水素は $4 \times 10^{20}\text{ cm}^{-3}$ であり、珪素 $4 \times 10^{20}\text{ cm}^{-3}$ として比較すると1原子%であった。

この結晶化は酸素濃度が例えば $1.5 \times 10^{20}\text{ cm}^{-3}$ においては1000Åの膜厚で600°C(48時間)の熱処理で可能である。これを $5 \times 10^{20}\text{ cm}^{-3}$ にすると膜厚を $0.3 \sim 0.5\mu\text{m}$ と厚くすれば600°Cでのアニールによる結晶化が可能であったが、 $0.1\mu\text{m}$ の厚さでは650°Cでの熱処理が結晶化のためには必

要であった。即ちより膜厚を厚くする、より酸素等の不純物濃度を減少させるほど、結晶化がしやすかった。

結果として、この被膜は実質的にグレインパウンドリ(GBという)がないといつてもよい状態を呈する。キャリアは各クラスタ間をアンカリングされた個所を通じ互いに容易に移動し得るため、いわゆるGBの明確に存在する多結晶珪素よりも高いキャリア移動度となる。即ちホール移動度(μ_h) = $10 \sim 50\text{ cm}^2/\text{Vsec}$ 、電子移動度(μ_e) = $15 \sim 100\text{ cm}^2/\text{Vsec}$ が得られる。

またフォトセンシビリティは、TFTとしての V_g (ゲート電圧)-I。(ドレイン電流)特性を得ながらガラス側より2000ルックスの光を照射して I_d がオン状態の領域で10%以下しか動か(ドリフト)ない条件またはサブスレッシュホールド電圧の領域にて I_d が2桁以下の増加(ドリフト)しかない条件(オフ電流が充分小さい条件)として測定した。すると酸素濃度が $8 \times 10^{20}\text{ cm}^{-3}$ 等の少ない濃度であるとドリフトがあるが、 1×10^{20}

cm^{-3} 以上好ましくは $3 \times 10^{20}\text{ cm}^{-3}$ 以上とするとほとんどドリフトがPTFTでもNTFTでもみられなかつた。

他方、上記の如く中温でのアニールではなく、900~1200°Cの高温アニールにより被膜を多結晶化すると、核からの固相成長により被膜中の酸素等の不純物の偏析がおきて、GBには酸素、炭素、窒素等の不純物が多くなり、結晶中の移動度は大きいが、GBでのバリア(障壁)を作つてそこでキャリアの移動を阻害してしまう。そして結果としては $5\text{ cm}^2/\text{Vsec}$ 以下の移動度しか得られないのが実情であった。

即ち、本発明の実施例ではかくの如く、感光性がなくかつ結晶性を有するセミアモルファスまたはセミクリスタル構造を有するシリコン半導体を用いている。

第1図(A)においては、この珪素膜を第1のフォトマスク①にてフォトエッチングを施し、PTFT用の領域(21)を図面の右側に、NTFT用の領域(11)を左側に作製した。

またこの上に酸化珪素膜をゲイト絶縁膜として厚さは500~2000Å例えれば1000Åに形成した。これはブロッキング層としての酸化珪素膜の作製と同一条件とした。この成膜中に弗素を少量添加してもよい。

この酸化珪素と下地の半導体膜との界面特性を向上し、界面準位を除くため、紫外光を同時に加え、オゾン酸化を行うとよかった。即ち、ブロッキング層(38)を形成したと同じ条件のスパッタ法と光CVD法との併用方法とすると、界面準位を減少させることができた。

さらにこの後、この上側にリンが $1 \sim 5 \times 10^{11} \text{ cm}^{-2}$ の濃度に入ったシリコン膜またはこのシリコン膜とその上にモリブデン(Mo)、タンゲステン(W)、MoSi_xまたはWSi_xとの多層膜を形成した。これを第2のフォトマスク②にてパターニングした。そしてPTFT用のゲイト電極(4)、NTFT用のゲイト電極(4')を形成した。例えばチャネル長 $10 \mu\text{m}$ 、ゲイト電極としてリンドープ珪素を $0.2 \mu\text{m}$ 、その上にモリブデンを $0.3 \mu\text{m}$ の厚さに形成した。

されている。

かくすると、セルファライン方式でありながらも、すべての工程において 700°C 以上に温度を加えることがなくC/TFTを作ることができる。そのため、基板材料として、石英等の高価な基板を用いなくてもよく、本発明の大画面の液晶表示装置にきわめて適しているプロセスである。

熱アニールは第1図(A)、(D)で2回行った。しかし第1図(A)のアニールは求める特性により省略し、双方を第1図(D)の熱アニールにより兼ねさせて製造時間の短縮を図ってもよい。第1図(B)において、層間絶縁物(8)を前記したスパッタ法により酸化珪素膜の形成として行った。この酸化珪素膜の形成はLPCVD法、光CVD法を用いてもよい。例えば $0.2 \sim 1.0 \mu\text{m}$ の厚さに形成した。その後、第1図(E)に示す如く、フォトマスク⑤を用いて電極用の窓(32)を形成した。

さらにこれら全体はアルミニウムを $0.5 \sim 1 \mu\text{m}$ の厚さにスパッタ法により形成し、リード(9)、(9')およびコンタクト(29)、(29')をフォトマスク

第1図(C)において、フォトレジスト(31')をフォトマスク③を用いて形成し、PTFT用のソース(5)、ドレイン(6)に対し、ホウ素を $1 \times 10^{14} \text{ cm}^{-2}$ のドーズ量をイオン注入法により添加した。

次に第1図(D)の如く、フォトレジスト(31)をフォトマスク④を用いて形成した。そしてNTFT用のソース(5')、ドレイン(6')としてリンを $1 \times 10^{14} \text{ cm}^{-2}$ の量、イオン注入法により添加した。

これらはゲイト絶縁膜(3)を通じて行った。しかし第1図(B)において、ゲイト電極(4)、(4')をマスクとしてシリコン膜上の酸化珪素を除去し、その後、ホウ素、リンを直接珪素膜中にイオン注入してもよい。

次に、これらフォトレジスト(31)を除去した後、 650°C にて10~50時間再び加熱アニュールを行った。そしてPTFTのソース(5)、ドレイン(6)、NTFTのソース(5')、ドレイン(6')を不純物を活性化してP⁺、N⁺として作製した。

またゲイト電極(4)、(4')下にはチャネル形成領域(7)、(7')がセミアモルファス半導体として形成

⑥を用いて第1図(F)の如く作製した。

かかるTFTの特性を略記する。移動度(μ)、スレッシュホールド電圧、ドレイン耐圧(V_{DDV})、フォトセンシティビティ(PS)は以下の通りであった。

	$\mu (\text{cm}^2/\text{Vs})$	$V_{th}(\text{V})$	V_{DDV}	PS
PTFT	14	-4.3	-21V	無
NTFT	23	+3.8	+23V	無

上記はチャネル長 $10 \mu\text{m}$ 、チャネル巾 $30 \mu\text{m}$ の場合を示す。かかる半導体を用いることにより、一般に不可能とされていたTFTに大きな移動度を得ることができ、加えて感光性がなく、かつドレイン耐圧を大きなレベルで得た。そのため、初めて第2図、第3図に示した液晶表示装置用のNTFTまたはC/TFTを構成させることができた。

この実施例は液晶表示装置例であり、またこのC/TFTの出力を画素に連結させるためさらに第1図(P)において、ポリイミド等の有機樹脂(34)を形成した。そしてフォトマスク⑦により再度の窓

あけを行った。2つのTFTの出力端を液晶装置の一方の透明電極に連結するため、スパッタ法によりITO(インジューム・スズ酸化膜)を形成した。それをフォトマスク⑥によりエッチングして、透明電極(33)を構成させた。このITOは室温～150°Cで成膜し、それを200～300°Cの酸素または大気中のアニールにより成就した。

かくの如くにしてPTFT(21)とNTFT(11)と透明導電膜の電極(33)とを同一ガラス基板(1)上に作製した。

「実施例2」

第4図(A)に第3図に対応した実施例を示す。X軸方向にV_{ss}(18)、V_{ee}(19)、V_{ee'}(18')を有するX軸方向の配線(以下X線ともいう)を形成した。なおY軸方向はV_{ee}(22)、V_{ee'}(23)とY軸方向の配線(以下Y線ともいう)を形成した。

図面(A)は平面図であるが、そのA-A'の縦断面図を第4図(B)に示す。またB-B'の縦断面図を第4図(C)に示す。

またPTFT(21)をX線V_{ss}(18)とY線V_{ee}(22)と

の交差部に設け、V_{ss}(18)とV_{ss'}(23)との交差部にも他の画素用のPTFT(21')が同様に設けられている。またNTFT(11)はV_{ee}(19)とV_{ee}(22)との交差部に設けられている。V_{ss}(18)とV_{ss}(22)との交差部の下側には他の画素用のNTFT(11')が設けられている。C/TFTを用いたマトリックス構成を有せしめた。それらPTFTはソース(5)がコンタクト(32)を介してX線V_{ss}(18)に連結され、ゲート(4)は多層形成がなされたY線V_{ee}(22)に連結されている。ドレイン(6)はコンタクト(29)を介して透明導電膜の電極(33)に連結している。

他方、NTFTはソース(5')がコンタクト(32')を介してX線V_{ss}(19)に連結され、ゲート(4')はY線V_{ee}(22)に、ドレイン(6')はコンタクト(29')を介して透明導電膜(33)に連結している。かくして2本のX線(18)、(19)に挟まれた間(内側)に画素である透明導電膜(33)とC/TFT(21)、(11)どにより1つのピクセルを構成せしめた。かかる構造を左右、上下に繰り返すことにより、2×2のマトリックスの1つの例またはそれを拡大した640

×480、1280×960といった大画面の液晶表示装置を作ることが可能となった。

ここでの特長は、1つの画素に2つのTFTが複数構成をして設けられていること、また電極(33)は液晶電位V_{le}を構成するが、それは、PTFTがオンでありNTFTがオフか、またはPTFTがオフでありNTFTがオンか、のいずれのレベルに固定されることである。

そしてこのガラス基板側よりたとえ光が照射されても、C/TFTは光に対し非感光性であるため、反射型のみならず透光型の液晶表示装置であっても遮蔽手段を設けることなしに動作をさせることができた。

第4図で明らかなように、制御要素のV_{ss}が新たに増えても、液晶装置における開口率(全面積(34)に対し実際に表示する液晶表示有効面積(33)の割合)に関しては、従来の第1図の1つのみの導電型をもつTFTを各画素に連結した場合とまったく変わらず、不利にならない。

第4図において、それら透明導電膜上に配向膜、

配向処理を施し、さらにこの基板と他方の液晶の電極(第4図(34))を有する基板との間に一定の間隔をあけ、公知の方法により互いに配設をした。そしてその間に液晶を注入して液晶表示装置として完成させた。

液晶材料にTN液晶を用いるならば、その間隔を約10μm程度とし、透明導電膜双方に配向膜をラビング処理して形成させる必要がある。

また液晶材料にPLC(強誘電性)液晶を用いる場合は、動作電圧を±20Vとし、また、セルの間隔を1.5～3.5μm例えば2.3μmとし、反対電極(第4図)(34)上にのみ配向膜を設けラビング処理を施せばよい。

分散型液晶またはポリマー液晶を用いる場合には、配向膜は不用であり、スイッチング速度を大とするため、動作電圧は±10～±15Vとし、セル間隔は1～10μmと薄くした。

特に分散型液晶またはポリマー液晶を用いる場合には、偏光板も不用のため、反射型としても、また透過型としても光量を大きくすることができます。

る。その液晶はスレッシュホールドがないため、本発明のC/TFTに示す如く、明確なスレッシュホールド電圧が規定されるC/TFT型とすることにより大きなコントラストとクロストーク（隣の画素との干渉）を除くことができた。

この実施例2は、C/TFTにおいて V_{ss} 側にPTFTを、 V_{ss} 側にNTFTを形成した。するとその出力は V_{ss} または V_{ss} を作るため明確なレベルを決定できる。しかし V_{ss} に対しては、 V_{le} はインバータ（逆相）となる。

この V_{ss} と V_{le} とが同相（同じ向きの電圧）となる場合の2Tr/cell方式(C/TFT方式)を以下の実施例にて示す。

「実施例3」

この実施例は、第3図、第4図において、 V_{ss} 側に逆にNTFT(11)を、 V_{ss} 側に逆にPTFT(21)を連結したC/TFT構成を有する。すると、その出力である V_{le} は V_{ss} と同相(V_{ss} が正電圧のとき正電圧の出力、負電圧の時負電圧の出力)になり、その出力電位は $V_{ss} - V_{thp}$ および $V_{ss} - V_{thn}$ で

与えられる。 V_{thp} と V_{thn} とが異なる時は第3図の液晶の他の端子(13)にオフセットバイアスを加えて等しくすると好ましかった。かくすると V_{ss} を V_{ss} より大にしなければならない欠点はあるが、ゲート電極と V_{le} との間で多少のリークがあってあまり気にしなくてもよいという特長を有する。

かかる場合、第4図においても同様に、PTFTとNTFTとを互いに逆に設ければよい。そのため、実施例2と第4図における製造工程および開口率はまったく同じ値を作ることができる。その他は実施例2と同様である。

「実施例4」

この実施例は、第2図に示した各ピクセルに、NTFTのみを各画素等に連結して設けた1Tr/cell方式のものである。すると V_{le} のレベルは、フローティングとなりバラツキがあるが、本発明に示すTFTが非感光性であるため、実使用の際のTFTに光が照射されることを防ぐ遮光手段を設ける必要がなく、従来より簡単にアクティブ型液晶表示装置を作ることができた。その他は実施例1、3と

同様である。

「発明の効果」

本発明はNTFT、PTFTに対し非感光性とすることにより、特にチャネル形成領域に酸素等の不純物を添加して非感光性のセミアモルファス半導体とすることにより遮光手段が不用となった。さらにかかるTFT、特にC/TFTとしてマトリックス化された各画素に連結することにより、

- 1)遮蔽手段が不要となった液晶表示装置を作ることができる
 - 2)スイッチング速度の増加
 - 3)動作マージンの拡大
 - 4)不良TFTが一部にあってもその補償をある程度行うことができる
 - 5)作製に必要なフォトマスク数はNTFTのみの従来例に比べて第1図(C)および(D)のフォトマスク④が2回多くなるのみで可である
 - 6)パターンとして、ピクセルに2つのTFTをつけても開口率の減少をほとんど伴わない
- という多くの特長を有する。

本発明は非感光性のTFTを作り、その応用として液晶表示装置に用いた例を示した。しかしそ他の半導体装置、例えばイメージセンサ、モノリシック型集積回路における負荷または三次元元素として用いることも可能である。

本発明においてかかるC/TFTに対し、半導体として非感光性のセミアモルファスまたはセミクリスタル構造のシリコンを主成分とする材料を用いた。しかし同じ目的のために可能であるならば他の結晶構造の半導体を用いてもよい。またセルフアライメントのC/TFTによることにより高速処理を行った。しかしイオン注入法を用いずに非セルフアライメント方式によりTFTを作ってもよいことはいうまでもない。

4. 図面の簡単な説明

第1図は本発明のPチャネル型およびNチャネル型のTFTの作製方法を示す。

第2図は1Tr/cell方式のアクティブ型TFTを用いた液晶表示装置を示す。

第3図は本発明の相補型TFTを用いた2Tr/cell

方式アクティブ型液晶装置の回路図を示す。

第4図は第3図に対応した液晶表示装置の一方の基板の平面図(A)、縦断面図(B)、(C)を示す。

(31), (31') · フォトレジスト

(38) · · · ブロッキング層

(33), (34) · 透明電極

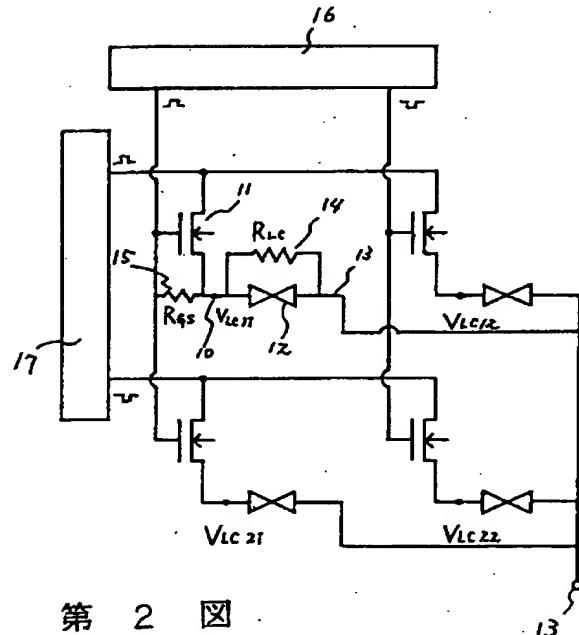
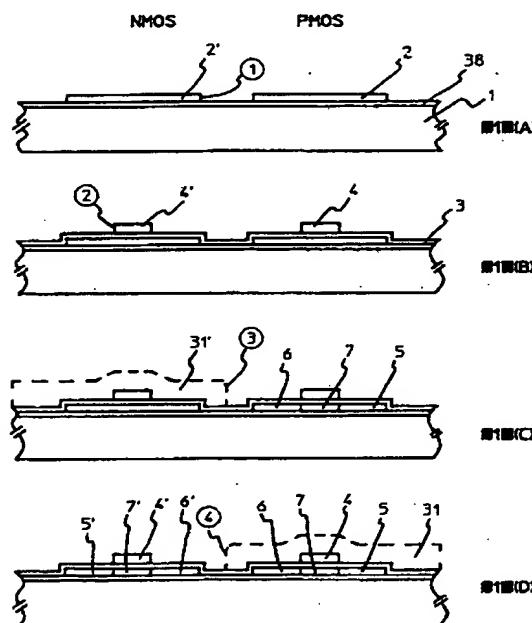
①~⑩ · · · フォトマスクを用いたプロセス

- (1) · · · ガラス基板
- (2), (2') · · 半導体薄膜
- (3) · · · ゲイト絶縁膜
- (4), (4') · · ゲイト電極
- (5), (5') · · ソース
- (6), (6') · · ドレイン
- (7), (7') · · チャネル形成領域
- (10) · · · 液晶電位 (V_{Lc})
- (11) · · · Nチャネル型薄膜トランジスタ (NTFT)
- (12) · · · 液晶
- (14), (15) · リークをさせる抵抗
- (16), (17) · 周辺回路
- (18), (18') · V_{ss} (X線の1つ)
- (19), (19') · V_{on} (X線の1つ)
- (21) · · · Pチャネル型薄膜トランジスタ (PTFT)
- (22), (23) · V_{oo} , $V_{oo'}$ (Y線)

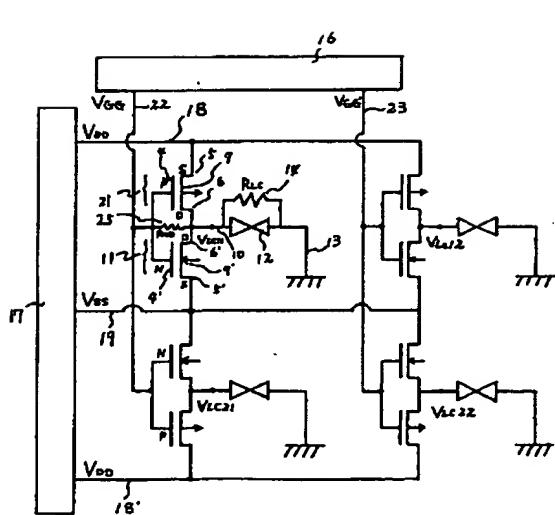
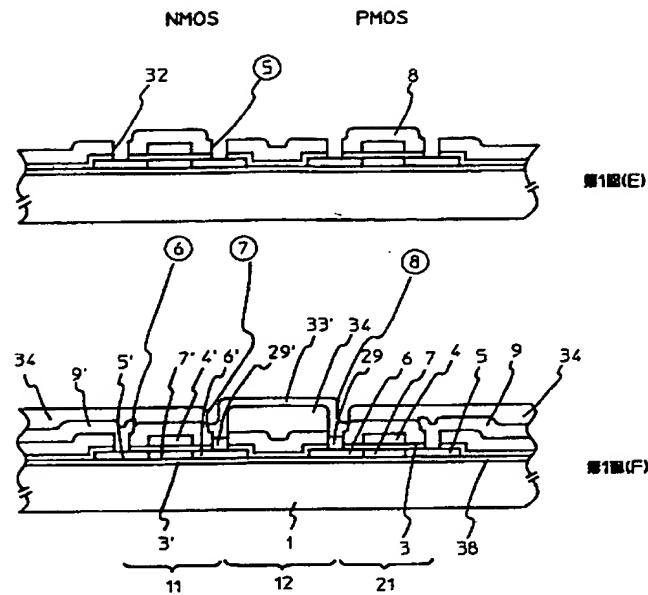
特許出願人

株式会社半導体エネルギー研究所

代表者 山崎昇平



第2図



第3図

